

**MULTILAYERED CIRCUIT BOARD AND MANUFACTURE THEREOF**

Patent Number: JP6077665

Publication date: 1994-03-18

Inventor(s): OGAWA TOSHIO; others: 04

Applicant(s): HITACHI LTD

Requested Patent: ☐ JP6077665

Application Number: JP19920250371 19920827

Priority Number(s):

IPC Classification: H05K3/46; H01L23/12; H01L23/15; H01L27/01; H05K1/16; H05K3/28

EC Classification:

Equivalents:

**Abstract**

**PURPOSE:**To obtain a small-sized high-density multilayered circuit board for electronic industries including high-frequency applications by forming heat-resistant surface layer portions in the whole of the board surface or in a part thereof on which a film-like passive element is disposed.

**CONSTITUTION:**A multilayered circuit board which has a resistive conductor wiring 16 having a resistivity which does not exceed 5m $\Omega$ -cm in an inter-layer 22 formed by sequentially depositing insulating materials, and in which surface layer portions 21 and a film-like passive element 12 are disposed. The heat-resistant surface layer portions 21 are formed in the whole of the board surface or at least in a part thereof on which the film-like passive element 12 is disposed. This can prevent damage of the insulator around the board surface and the inner conductor wiring due to the thermal effect of a beam in trimming. Thus, a high-precision trimming is available and a low-resistance wiring including a high-precision film-like passive element can be provided, so that a multilayered circuit board of a smaller size and higher density can be achieved. Further, a high-speed and high-frequency signal can be provided.

Data supplied from the esp@cenet database - I2

TOP

W/253

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-77665

(43) 公開日 平成6年(1994)3月18日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46	Q	6921-4E		
	H	6921-4E		
	T	6921-4E		
		9355-4M	H 0 1 L 23/12	N
		9355-4M	23/14	C
審査請求 未請求 請求項の数10(全 6 頁) 最終頁に続く				

(21) 出願番号 特願平4-250371

(22) 出願日 平成4年(1992)8月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 小川 敏夫

茨城県日立市久慈町4026番地 株式会社日

立製作所日立研究所内

(72) 発明者 浅井 忠道

茨城県日立市久慈町4026番地 株式会社日

立製作所日立研究所内

(72) 発明者 神村 典孝

茨城県日立市久慈町4026番地 株式会社日

立製作所日立研究所内

(74) 代理人 弁理士 中本 宏

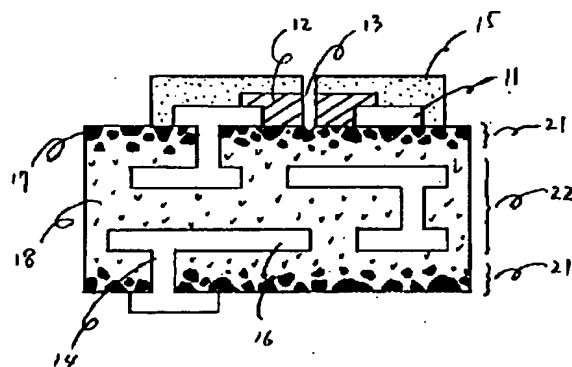
最終頁に続く

(54) 【発明の名称】 多層回路基板及びその製法

(57) 【要約】

【目的】 低抵抗性の導体配線を内蔵し、かつ高精度の電気的特性を有する膜状受動素子を包含した小型、高密度のハイブリッドIC用多層回路基板及びその製法と用途とを提供すること。

【構成】 絶縁性材料を積層して構成された層間22に、Au、Ag、Cuなどの抵抗率 $5\mu\Omega\cdot\text{cm}$ を超えない低抵抗性導体配線16を有し、かつ表層部21に膜状受動素子12が配置された多層回路基板において、該基板表面の膜状受動素子の少なくともトリミング工程におけるレーザービームの照射される部分13に対応した位置に、耐熱性表層部21を設けることによって、該トリミング工程を容易ならしめ、高精度の電気的特性を有する受動素子を包含した多層回路基板としたものである。



1

## 【特許請求の範囲】

【請求項1】 絶縁性材料を積層して構成された層間に、抵抗率 $5\mu\Omega\text{-cm}$ を超えない低抵抗性導体配線を有し、かつ表層部に膜状受動素子が配置された多層回路基板において、該基板表面の全面又は少なくとも該膜状受動素子が配置された一部に耐熱性表層部が形成されていることを特徴とする多層回路基板。

【請求項2】 前記膜状受動素子が、膜状抵抗体であることを特徴とする請求項1記載の多層回路基板。

【請求項3】 前記耐熱性表層部が、アルミナを主成分として構成されていることを特徴とする請求項1記載の多層回路基板。

【請求項4】 前記絶縁性材料は、組成中に含まれるアルミナの占める体積分率が、内層部では最大でも40%であり、表層部では少なくとも50%であることを特徴とする請求項1記載の多層回路基板。

【請求項5】 前記低抵抗性導体配線が、Au、Ag、Cu、Pt、Pdのうちの少なくとも一つによって形成されていることを特徴とする請求項1記載の多層回路基板。

【請求項6】 前記耐熱性表層部と内層部の多層回路を構成する絶縁性材料との境界領域には、両層を構成する組成の混合した組成濃度勾配層を設けることを特徴とする請求項1記載の多層回路基板。

【請求項7】 前記膜状受動素子は、少なくとも1つの容量素子を含むことを特徴とする請求項1記載の多層回路基板。

【請求項8】 絶縁性材料を積層して構成された層間に、抵抗率 $5\mu\Omega\text{-cm}$ を超えない低抵抗性導体配線を有し、かつ表層部に膜状受動素子が配置された多層回路基板の製法において、低抵抗性の導体配線を含む内層の絶縁性材料の積層体を形成する工程、該積層体の表面の全面又は局部に耐熱性表層部を形成する工程、該形成した耐熱性表層部の少なくとも一部が重なりあう位置に膜状受動素子を形成する工程、該膜状受動素子の電気的特性をレーザービームによるトリミング工程によって調節することを特徴とする多層回路基板の製法。

【請求項9】 請求項1～7のいずれか1項記載の多層回路基板を構成部材として含むことを特徴とするカメラ一体型ビデオ装置。

【請求項10】 請求項1～7のいずれか1項記載の多層回路基板を構成部材として含むことを特徴とする通信用電子機器。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、民生用やコンピュータ用など電子工業に用いられる多層回路基板に係り、詳しくは低抵抗性導体配線を内蔵し、表面に高精度の電気的特性を有する膜状受動素子を配置した高密度多層回路基板及びその製法と用途に関する。

2

## 【0002】

【従来の技術】 近年のハイブリッドICは、より小型化、高密度化の要求から、グリーンシート上に電極パターンを印刷形成し、これらを積層、焼結することによって、もしくは、スクリーン印刷の繰返しによって多層化し、焼結することによって、基板内部に配線パターンを持つセラミック多層配線基板が用いられてきた。その基板を大別すると次の二つがある。その一つとして、例えば、特公平3-78798号公報の従来技術として記載されるように、WやMoを配線導体として使用し、1500～1600℃の高い温度で同時焼成するセラミックス多層基板がある。他の一つとして、例えば、特開昭63-244899号公報に開示される、通常1000℃以下の比較的低い温度で絶縁体の焼結ができる低温焼結性セラミックス基板がある。

## 【0003】

【発明が解決しようとする課題】 しかしながら、上記の高温で焼成される基板は、導体の抵抗率が大きく、高周波用回路への適用に難があると共に、微細配線化による回路の高密度化ができないという欠点があった。一方、低温焼結性の基板では、焼成温度が低いので、同時焼成する内蔵配線用導体材料として、Au、Ag、Cuなどのいわゆる低抵抗性導体材料が使用できる。その為、前述の導体抵抗率に関する問題点は解消できる。しかしながら、この基板の表層部に例えば厚膜抵抗体などの受動素子を配置し、レーザービームによるトリミング工程を加えると、その熱影響によって素子周辺の絶縁層も同時に溶融してしまうという問題が生ずる。

【0004】 すなわち、レーザービームの出力が低いと、素子の切断が十分でなく、高い信頼性が得られない。一方、出力が高過ぎると、低温焼結性材料であるため、絶縁体そのものが損傷を受け、例えば層間の絶縁特性保障ができなくなってしまうなどの障害がある。従って、レーザートリミングの条件が極めて狭い領域に限定され、実用上難がある。以上記したように、低抵抗性導体配線を内蔵し、表層に膜状受動素子を配置した多層回路基板では高精度の素子を得にくいという問題があった。本発明は、こうした問題点を解決し、高精度の電気的特性を有する受動素子を包含し、かつ低抵抗性の導体配線を内蔵した、小型かつ高密度の、高周波用途を含む電子工業用多層回路基板及びその製法と用途とを提供することを目的とする。

## 【0005】

【課題を解決するための手段】 上記目的を達成するために、本発明では、絶縁性材料を積層して構成された層間に、抵抗率 $5\mu\Omega\text{-cm}$ を超えない低抵抗性導体配線を有し、かつ表層部に膜状受動素子が配置された多層回路基板において、該基板表面の全面又は少なくとも該膜状受動素子が配置された一部に耐熱性表層部が形成されていることとしたものである。

3

【0006】また、本発明では、絶縁性材料を積層して構成された層間に、抵抗率 $5\mu\Omega\text{-cm}$ を超えない低抵抗性導体配線を有し、かつ表層部に膜状受動素子が配置された多層回路基板の製法において、低抵抗性の導体配線を含む内層の絶縁性材料の積層体を形成する工程、該積層体の表面の全面又は局部に耐熱性表層部を形成する工程、該形成した耐熱性表層部の少なくとも一部が重なりあう位置に膜状受動素子を形成する工程、該膜状受動素子の電気的特性をレーザービームによるトリミング工程によって調節することとしたものである。上記において、耐熱性表層部はアルミナを主成分として構成するのがよく、また、絶縁性材料は、組成中に含まれるアルミナの占める体積分率が、内層部では最大でも40%であり、表層部では少なくとも50%であるのがよい。

【0007】上記のように、本発明は、絶縁性材料を積層した基板の内層部に、Au、Ag、Cuなどの低抵抗性導体配線を配置し、少なくともトリミング工程におけるレーザービームの照射される部分に対応した位置に耐熱性表層部を設けることによって、該トリミング工程を容易ならしめ、高精度の電気的特性を有する受動素子を包含し、かつ低抵抗性の導体配線を内蔵した、小型かつ高密度の、高周波用途を含む電子工業用多層回路基板を実現したものである。

【0008】前記絶縁性材料は通常、軟化点の低い低温焼結性ガラスで構成され、配線導体と同時に焼成される。前記耐熱性表層部の形成にあたっては、大別二つの方法がある。一つは、予め例えばアルミナなどの耐熱性の高い材料が表層部に偏在するように組成分布調整したグリーンシートの成形体を準備し、内層導体配線と同時に焼成する方法である。他の一つは、低抵抗性の導体配線を内蔵した、所定の積層回路を形成後に、該耐熱性表層部を、例えばゾルゲル法などの他の成膜手段により別工程で形成する方法である。

【0009】本発明による上記積層回路基板の表面に、受動素子として厚膜抵抗体を形成することによって、その後のレーザービームを用いたトリミング工程が容易となり、高精度の素子を包含し、かつ低抵抗性導体配線を内蔵する多層回路基板が得られる。さらに、受動素子として容量素子を形成した場合にも、その電極部分をレーザートリミングすることにより、素子の容量調整が容易に可能となる。例えば、本発明による多層回路基板の内層用絶縁体材料として、ほうけい酸鉛系ガラスを用いることによって、850℃程度の温度でも焼結可能となり、基板の強度を確保するとともに、Au、Ag、Cuなどの低抵抗性導体材料を同時焼結することができる。

【0010】本発明による、前記耐熱性表層部を形成するに当たって、組成の異なる内層絶縁体部との境界領域に、両組成の混合層による適度の濃度勾配を設けた、いわゆる傾斜組成構造化することによって、たとえば温度変化時の熱膨張係数の差異による応力の発生など不安定

4

現象を抑制することができ、高信頼性回路基板が提供できる。そして、本発明で得られる多層回路基板は、高精度の膜状受動素子を包含し、かつ低抵抗性導体配線を有しているので、携帯用のカメラ一体型ビデオ装置並びに信号を高速化した通信用電子機器やコンピュータなどを構成する電子回路基板として有効活用できる。

【0011】

【作用】本発明は、低抵抗性の導体配線を内蔵し、その表面に耐熱性表層部を形成して膜状受動素子を配置する構造である。従って、レーザービームによるトリミングに際して、ビームの熱影響による基板表層周辺の絶縁体並びに内層の導体配線の損傷を抑制することができる。その為、精度の高いトリミングが容易に可能となり、高精度の膜状受動素子を包含する低抵抗配線化した多層回路基板を実現するものである。一方、基板の内層部は耐熱性は低い、低温焼結性の良い絶縁材料を用いることにより、基板の強度を確保することができる。

【0012】上記多層回路基板用導体材料として、Au、Ag、Cu、Pt、Pdのうちの少なくとも一つを適用することによって、WもしくはMo等の高温焼結性の導体に比較して、回路の導電性を著しく高くすることができ、導体配線の微細パターン化が可能である。従って、上記受動素子の高信頼性化と相まって、より小型、高密度の多層回路基板が実現できる。さらに、 $5\mu\Omega\text{-cm}$ 以下の低抵抗性の導体材料を適用することで、回路で処理する信号の高速化もしくは高周波化が可能である。

【0013】

【実施例】以下、本発明を実施例によって詳細に説明するが、本発明はこれらに限定されない。

実施例1

図1に本発明の一実施例を示す。図1は本発明による多層回路基板の厚膜抵抗体を含む部分断面図を示している。まず、ほうけい酸鉛ガラス粉と耐熱性フリットとしてのアルミナ粉末に、ポリビニルブチラール等の有機溶媒を加えてかくはんし、泥漿化状態にする。この泥漿を、ドクターブレードを用いたキャスト成膜法によって未焼成の誘導性グリーンシートを複数枚形成する。このグリーンシートを形成する段階で、含有するアルミナ粉末の量を3つの水準とする。アルミナ粉末の多い順にA、B、Cの3種のグリーンシートを準備する。アルミナ粉末の添加量は、焼成後のセラミック中に占める体積比基準でそれぞれおよそ60%、40%、20%となるように調節する。

【0014】次に、ステンレス等から成る金型で外形と複数個の孔部（ビアホール）とを同時にパンチングして形成する。このグリーンシート上に、通常 $3\mu\Omega\text{-cm}$ より低い抵抗率が得られる銀を主成分とする導体ペーストを、スクリーン印刷法によって塗布して、電極パターン11もしくは内層導体配線16を形成すると共にビア

5

ホール14を充填する。同様に作成した複数のグリーンシートを用いて順次積み重ねる。この時、先に準備したグリーンシートCを用いて所定層数の内層導体配線部22を形成し、続けてB、Aの順にグリーンシートを各一枚ずつ積層し、グリーンシートAが表層にくるようにする。次いで、熱プレス機等を用いて温度120℃、圧力200kg/cm<sup>2</sup>の条件で上下面から熱圧着して、グリーンシートの積層体を得る。

【0015】この成形体を、空气中、温度350℃で約1時間脱脂した後、やはり空气中で800-1000℃  
約10分の焼成によって、表層部にアルミナ組成部17を多く含む耐熱性表層部21を有し、かつ低抵抗性の内層導体配線部27を低温焼結性のガラスセラミック組成部18に内蔵した多層回路基板を得る。さらに、この基板上にRuO<sub>2</sub>を主体とする抵抗体12をスクリーン印刷によって形成した後、乾燥-焼成して厚膜抵抗体を構成する。通常は、さらにこの抵抗体上にガラスペーストを印刷-乾燥し、600℃以下の低い温度で焼成して、保護皮膜15を形成して、多層回路基板が完成する。この状態で、抵抗体12の抵抗値を測定すると、ばらつき  
が大きく、通常目標値の約±15%の範囲に分散する。

【0016】次いで、レーザービームによって、目標とする個別の抵抗値に対応して、トリミング部13を形成して抵抗値調節する。この工程により、抵抗体12の抵抗値は目標値に対する誤差を±1%以内に容易に設定できる。この工程のレーザービーム照射時の熱影響によっても、この種基板表面は耐熱性の良好な層が形成されているため、内部の絶縁体及び導体配線の損傷を最小限に留めることができる。なお、ガラスペーストによる保護皮膜を形成しない状態で、トリミングした後、抵抗体12表面に200℃以下の温度で樹脂等による保護被膜15を形成する事により、同様に抵抗値の安定性を向上させることができる。

【0017】本実施例では、耐熱性材料としてアルミナフィラーを用いた例を示したが、他の材料例えば、AlN、ZrO<sub>2</sub>、SiO<sub>2</sub>、TiO<sub>2</sub>など他の材料系であっても良い。また、本実施例では、膜状受動素子として厚膜抵抗体の例について示したが、これは厚膜もしくは薄膜プロセスなどで形成される他の受動素子、例えばインダクタ、容量素子などの場合にも同様にトリミングが容易に可能である。また、内層の導体材料として、Agを用いた例について詳細に記してきたが、Au、Pt、Pd及びこれらの合金についても同様に使用可能である。Cuについても、不活性ガス中で焼成することにより適用可能である。

#### 【0018】実施例2

実施例1と同様の手順によって、ビアホール14に導体ペーストが充填され、かつ表層電極パターン11及び内層導体配線16を形成した複数枚のグリーンシートを得る。この時、実施例1に示すグリーンシートA中のアル

6

ミナフィラーの含有量を調節して、焼成後のセラミック中の体積百分率がおおよそそれぞれ80、70、60、50、40、30、20、10%となるように準備した。グリーンシートの厚さは約100μm一定とした。これらのうち、アルミナフィラーの含有量が同じ複数枚のグリーンシートを組み合わせることで積み重ね、その後は実施例1と同様の要領で導体配線を内蔵した焼成多層体を作製する。

【0019】図2に本実施例によるサンプルの断面構成図を示す。この基板の焼成温度は850℃とし、焼成後の厚さは約0.7mmである。これらサンプルについて次の評価をした。一つは、4点曲げ抗折強度であり、他は層間の絶縁抵抗値である。前者については、内層導体配線の無い状態、すなわちセラミック単体で評価した。後者の評価については、図2に示すトリミング部13の位置に、レーザービームを照射してトリミングを行い、表層電極11及び内層導体16との間の絶縁抵抗値を測定した。トリミング条件はレーザーパルス発信周波数3kHz、出力2.4W、ビーム速度25mm/secである。

【0020】これらの測定結果を図3に示す。アルミナの体積百分率が40%を超えると抗折強度の低下が顕著となる。これは、層内のガラス組成の量が不足し、十分な焼成ができなくなる為である。一方、層間の絶縁抵抗値は、通常10<sup>9</sup>Ω以上が要求される。しかし、アルミナ含有量が50%に満たないと耐熱性が低いために表層部の絶縁体の損傷が大きく、十分な層間絶縁抵抗が得られない。以上の実験結果からこの両特性、すなわち、低温焼結性並びに耐熱性を同一組成の基板で実現するのは難しいことがわかる。従って、絶縁性材料中のアルミナ含有量は内層部では最大40%、表層部では少なくとも50%とする必要がある。

#### 【0021】実施例3

実施例1と同様の材料及び手順によって、グリーンシートの積層体を得る。ここでは、アルミナ含有量の最も少ない、実施例1に示すグリーンシートCのみで構成する。このグリーンシートの積層体を実施例1と同様の条件で焼成する。さらに、次の工程で厚膜抵抗体を形成する位置の基板表面に、前述した耐熱性表層部として、ゾルーゲル法により、膜厚約3μmのアルミナ皮膜を形成する。この皮膜上に、実施例1と同様に厚膜抵抗体を形成する。次いで、この抵抗体にガラスペーストを塗布し、600℃以下の温度で焼成して保護皮膜15を形成し、該保護被膜15の上からレーザービームを用いて形状トリミングし、抵抗値の微調節をすることによって、実施例1と同様に高精度で安定した厚膜抵抗体素子を含む高密度多層回路基板を得る。

【0022】本実施例では、ゾルーゲル法によるアルミナの耐熱性表層部を形成する例について示したが、例えばSiO<sub>2</sub>、CoO、MnO、TiO<sub>2</sub>などの他の材料

7

を中心とするものであっても良い。さらに、皮膜形成方法として、たとえばスパッタ、溶射など他の方法であっても良い。以上の実施例は、いずれもセラミック多層回路基板の例を示したが、例えば絶縁体材料としてガラスエポキシを用いたプリント配線基板などにも、本発明の適用が可能である。

#### 【0023】実施例4

実施例1と同様の手順によって、導体層6層及び表面に厚膜抵抗素子を配置した多層回路基板を作製する。この多層基板に、いわゆる表面実装技術によってLSI、トランジスタなどの能動素子を中心とする電子部品を半田によって接合する。さらに、回路外部への入出力用リードフレームを1.27mmの狭ピッチで半田接合し、本発明による映像信号処理回路モジュールが完成する。この基板寸法は35mm×27.5mmである。第1層及び第2層の回路パターンを図4及び図5に示す。本発明によれば、高精度で微細な厚膜抵抗素子を高密度に多数形成でき、さらにその上にLSIなど比較的面積の広い素子を重ねて実装することができ、30素子/cm<sup>2</sup>以上の高密度実装が可能となった。このモジュールをカメラ

#### 【0024】実施例5

実施例1と同様の手順によって、導体層15層及び表面に終端抵抗などの厚膜抵抗素子を配置した多層回路基板を作製する。この基板に実施例4と同様に電子部品を表面実装し、周波数GHz帯まで使用できる高周波系回路

8

を作製し、通信用電子機器に適用する。本発明によれば、厚膜抵抗素子に重ねてLSIを配置することができるので基板寸法の小型化が可能となる。その結果LSI間の信号アクセス配線距離を短縮でき、通信回線の高周波化、高速化に効果的である。

#### 【0025】

【発明の効果】本発明によれば、低抵抗性導体配線を内蔵し、かつ高精度膜状受動素子を包含した多層回路基板とすることができるので、導体パターンの微細配線化が可能となり、電子回路の小型化もしくは高密度比に貢献でき、特に高速化または高周波化回路に有効使用できる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例による多層回路基板の断面構成図。

【図2】本発明の実施例2による試験用サンプルの断面構成図。

【図3】本発明の実施例2による多層回路基板の特性評価結果を示すグラフ。

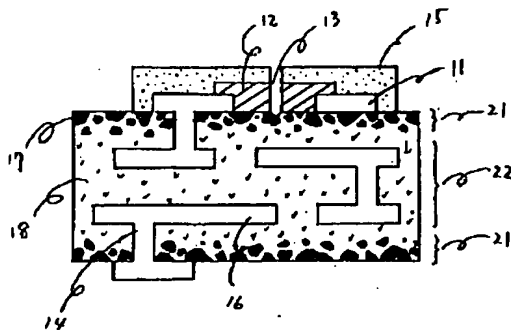
【図4】本発明の実施例4による多層基板の第1層回路パターン図。

【図5】本発明の実施例4による多層基板の第2層回路パターン図。

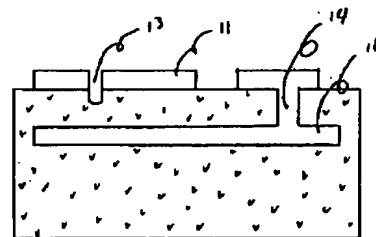
#### 【符号の説明】

11：表層電極、12：抵抗体、13：トリミング部、14：ビア、15：保護皮膜、16：内層導体、17：アルミナ組成部、18：ガラスセラミック組成部、21：耐熱性表層部、22：内層導体配線部。

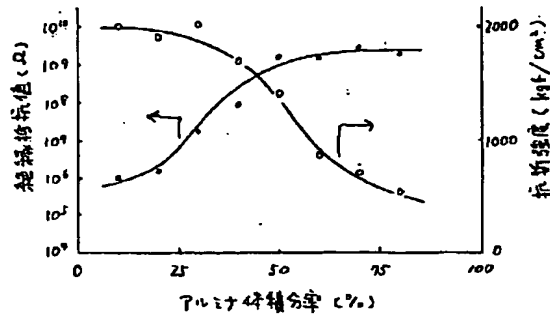
【図1】



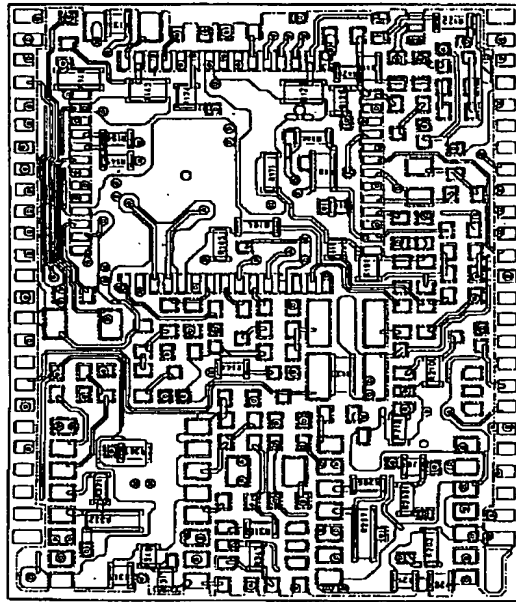
【図2】



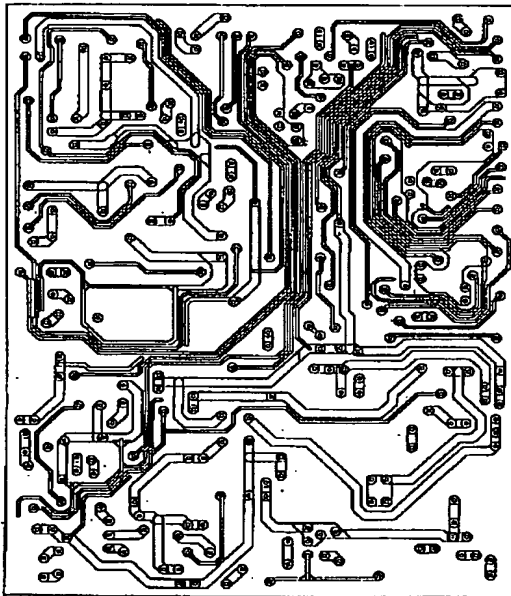
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
23/15				
27/01	3 1 1	8418-4M		
H 0 5 K 1/16	C	6921-4E		
3/28	A	7511-4E		
(72)発明者 加藤 修治	(72)発明者 長谷川 満			
茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内	茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内			